

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 1 月 6 日 (06.01.2005)

PCT

(10) 国際公開番号
WO 2005/001916 A1

- (51) 国際特許分類⁷: H01L 21/205, C30B 29/06
 (21) 国際出願番号: PCT/JP2004/008725
 (22) 国際出願日: 2004 年 6 月 21 日 (21.06.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2003-182615 2003 年 6 月 26 日 (26.06.2003) JP
 (71) 出願人 (米国を除く全ての指定国について): 信越半
 導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.)
 [JP/JP]; 〒1000005 東京都千代田区丸の内一丁目 4 番
 2 号 Tokyo (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 西澤 毅

(NISHIZAWA, Tsuyoshi) [JP/JP]; 〒9618061 福島県西
 白河郡西郷村大字小田倉字大平 1 5 0 信越半導体
 株式会社 白河工場内 Fukushima (JP).

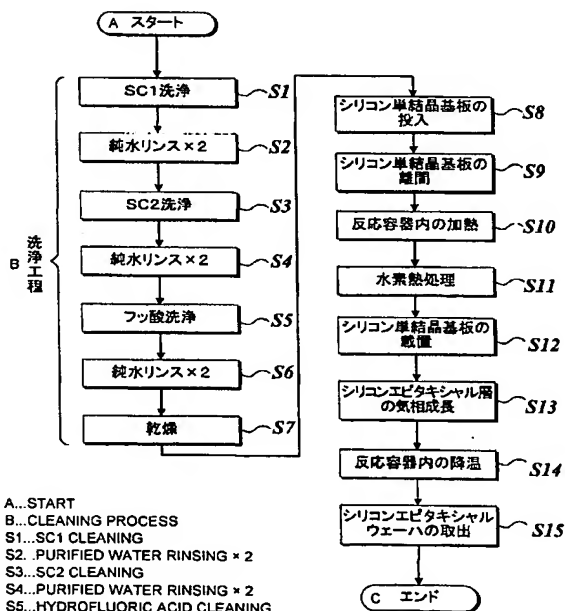
(74) 代理人: 荒船 良男, 外 (ARAFUNE, Yoshio et al.); 〒
 1620832 東京都新宿区岩戸町 1 8 番地 日交神楽坂ビ
 ル 5 階 光陽国際特許法律事務所内 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
 BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
 ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
 LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
 NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
 SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
 UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD FOR PRODUCING SILICON EPITAXIAL WAFER AND SILICON EPITAXIAL WAFER

(54) 発明の名称: シリコンエピタキシャルウェーハの製造方法及びシリコンエピタキシャルウェーハ



(57) Abstract: A method for producing a silicon epitaxial wafer is disclosed which enables to suppress formation of a little roughness on the backside of a silicon epitaxial wafer, thereby controlling the haze level of the entire backside to 50 ppm or less. The method comprises a hydrogen heat treatment step wherein a silicon single crystal substrate placed on a susceptor, which is arranged in a reaction vessel for supporting silicon single crystal wafers, is subjected to a heat treatment in a hydrogen atmosphere, and a vapor growth step wherein a silicon epitaxial layer is vapor-deposited after the hydrogen heat treatment step. In this method, the silicon single crystal substrate is separated from the susceptor during the hydrogen heat treatment step, while the substrate is placed on the susceptor during the vapor growth step.

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

シリコンエピタキシャルウェーハの主裏面に微少な凹凸が生じるのを抑制でき、主裏面全体のヘイズレベルを50ppm以下にするシリコンエピタキシャルウェーハの製造方法を提供する。

反応容器内に、シリコン単結晶基板を載置可能なサセプタが配設され、サセプタに載置されたシリコン単結晶基板に、水素雰囲気中で熱処理を施す水素熱処理工程と、水素熱処理工程後に、シリコンエピタキシャル層を気相成長する気相成長工程とを備えるシリコンエピタキシャルウェーハの製造方法において、水素熱処理工程中に、シリコン単結晶基板をサセプタから離間させ、気相成長工程の間は、シリコン単結晶基板をサセプタに載置する。